

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-326755

(43)公開日 平成7年(1995)12月12日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78				
		9055-4M	H 01 L 29/ 78	6 5 3 A
		9055-4M		6 5 2 L
		9055-4M		6 5 2 T
		9055-4M		6 5 6 G
			審査請求 未請求 請求項の数 9 O L (全 10 頁)	

(21)出願番号	特願平7-72026	(71)出願人	000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成7年(1995)3月29日	(71)出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番 地の1
(31)優先権主張番号	特願平6-68790	(72)発明者	原 一都 愛知県刈谷市昭和町1丁目1番地 日本電 装 株式会社内
(32)優先日	平6(1994)4月6日	(74)代理人	弁理士 恩田 博宣
(33)優先権主張国	日本 (JP)		

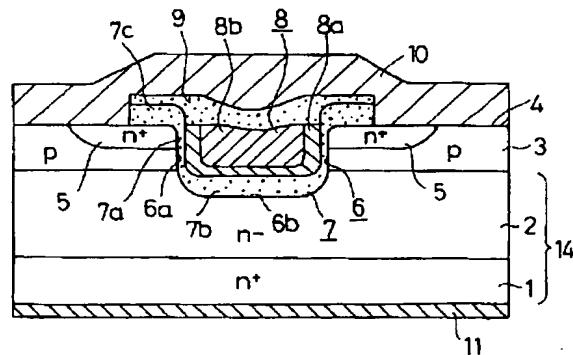
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 トレンチの内部で酸化膜厚さが異なる半導体装置においてその製造が容易な半導体装置及びその製造方法を提供することにある。

【構成】 n^+ 型単結晶SiC基板1は六方晶系SiC(0001)カーボン面を表面とし、基板1上にn型エピタキシャル層2とp型エピタキシャル層3が順次積層されている。p型エピタキシャル層3内にn⁺ソース領域5が形成され、トレンチ6は、ソース領域5とエピタキシャル層3を貫通し半導体基板14に達し、側面がエピタキシャル層3の表面に垂直に、底面がエピタキシャル層3の表面に平行となっている。ゲート熱酸化膜7はトレンチ6の側面での膜厚に比べトレンチ6の底面での膜厚の方が厚い。トレンチ6内における熱酸化膜7の内側にゲート電極層8が、エピタキシャル層3およびソース領域5上にソース電極層10が、半導体基板14の裏面側にドレイン電極層11が形成されている。



【特許請求の範囲】

【請求項1】 表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素と、前記単結晶炭化珪素に形成され、側部および底部を有するトレンチと、前記トレンチの側部および底部に形成され、かつトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚い熱酸化膜とを備えたことを特徴とする半導体装置。

【請求項2】 第1導電型の低抵抗層と当該低抵抗層上に形成された第1導電型の高抵抗層の二層にて構成され、かつ前記高抵抗層の表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる半導体基板と、

前記半導体基板の表面上に形成され、表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる第2導電型の半導体層と、

前記半導体層内の所定領域に形成された第1導電型の半導体領域と、

前記半導体領域と半導体層を貫通し前記半導体基板に達し、側部および底部を有するトレンチと、

前記トレンチの側部および底部に形成され、かつトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜と、

前記トレンチ内における前記ゲート熱酸化膜の内側に形成されたゲート電極層と、少なくとも前記半導体領域表面に形成された第1の電極層と、

前記半導体基板の裏面側に形成された第2の電極層とを備えたことを特徴とする半導体装置。

【請求項3】 前記単結晶炭化珪素の表面と前記トレンチの側部とは45°～90°の角度をなす請求項1に記載の半導体装置。

【請求項4】 前記半導体層の表面と前記トレンチの側部とは45°～90°の角度をなす請求項2に記載の半導体装置。

【請求項5】 前記トレンチの底部は前記単結晶炭化珪素の表面に平行である請求項1に記載の半導体装置。

【請求項6】 前記トレンチの底部は前記半導体層の表面に平行である請求項2に記載の半導体装置。

【請求項7】 前記トレンチの側部での熱酸化膜の膜厚「1」に対し底部での熱酸化膜の膜厚が「2」以上の比率である請求項1または2に記載の半導体装置。

【請求項8】 前記トレンチの側部での熱酸化膜の膜厚は10～100nmである請求項1または2に記載の半導体装置。

【請求項9】 六方晶系の単結晶炭化珪素よりなる第1導電型の低抵抗層の上に、六方晶系の単結晶炭化珪素よりなる第1導電型の高抵抗層を積層して当該高抵抗層の表面の面方位が(0001)カーボン面である半導体基板を形成する第1工程と、

前記半導体基板の表面上に、表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる第2導電型の半導体層を形成するとともに、この半導体層内の所定領域に第1導電型の半導体領域を形成する第2工程と、

前記半導体領域と半導体層を貫通し前記半導体基板に達し、側部および底部を有するトレンチを形成する第3工程と、

前記トレンチの内壁を熱酸化することによりトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜を形成する第4工程と、

前記トレンチ内における前記ゲート熱酸化膜の内側にゲート電極層を、前記半導体層表面および半導体領域表面に第1の電極層を、前記半導体基板の裏面側に第2の電極層を、それぞれ形成する第5工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置、例えば、絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型MOSFETに関する。

【0002】

【従来の技術】 近年、電力用トランジスタとしてシリコン単結晶材料を使用して作製される縦型パワーMOSFETが多用されている。電力用トランジスタの損失を低減するためにはオン抵抗の低減が必要であり、効果的にオン抵抗低減が可能な素子構造として図12に示すトレンチゲート型パワーMOSFET（例えば、特開昭59-8374号公報）が提案されている。トレンチゲート型パワーMOSFETはn型半導体基板20上にn型エピタキシャル層21が形成され、n型エピタキシャル層21上にp型拡散層22が形成され、さらに、p型拡散層22の所定領域にn型拡散層23が形成されている。又、n型拡散層23とp型拡散層22を貫通してn型エピタキシャル層21に達するトレンチ24が形成され、トレンチ24内にはゲート酸化膜層25を介してポリシリコン層26が充填されている。ポリシリコン層26の上面には酸化膜層27が形成され、酸化膜層27上を含むn型拡散層23上にはアルミ層28が形成されている。

【0003】 ここで、トレンチゲート部はトレンチ24の形成後、熱酸化によりトレンチ24の内面を酸化してゲート酸化膜層25を側部と底部に形成し、その後ゲート電極（ポリシリコン層26）を形成してトレンチゲートの基本構造を完成する。前記トレンチ24の表面を酸化する工程において、ゲート電圧を低く設定するためトレンチ24の側部の酸化膜の厚さを薄く（例えば50nm）する必要がある。酸化速度の面方向依存性が少ないシリコンにおいては、トレンチ24の側部と同時に

形成されたトレンチ24の底部の酸化膜の厚さもトレンチ24の側部と同等に薄くなる。従って、低電位のゲート電極と高電位のドレイン層に挟まれたトレンチ24の底部の薄い酸化膜は絶縁破壊を起こし易く、高耐圧のトレンチゲート型パワーMOSFETを作製することが困難であった。

【0004】この問題を解決する公知技術が、例えば特開平2-102579号公報にて開示されている。この方法は、複数回の酸化膜を形成する工程とトレンチ側面に耐酸化性マスクを形成する工程を含む工程により、酸化膜の厚さをトレンチ側面では薄く、底面では厚くして低いゲート閾電圧と高い耐圧を両立したトレンチゲート型パワーMOSFETを作製するものである。この方法の工程を図13～図21を参照して、詳細に説明する。

【0005】まず、図13に示すように、低抵抗のn⁺型半導体基板30上に、n型エピタキシャル層31を形成し、このn型エピタキシャル層31上に、p型拡散層32を形成する。その後、熱酸化法によりp型拡散層32上に、第1酸化膜層33を形成する。次に、図14に示すように、ホトリソグラフィーにより第1酸化膜層33をバーニングして一定幅を除去した後、第1酸化膜層33をマスクとして、反応性イオンエッティング(RIE)法により、p型拡散層32を貫通しn型エピタキシャル層31に達するトレンチ34を形成する。

【0006】続いて、図15に示すように、第1酸化膜層33を除去後、熱酸化法によりp型拡散層32の上面及びトレンチ34の内面に、第2酸化膜層35を形成する。更に、第2酸化膜層35上に、窒化シリコン層36と第3酸化膜層37とを順次形成する。

【0007】その後、図16に示すように、RIE法により第3酸化膜層37、窒化シリコン層36及び第2酸化膜層35を順次異方性エッティングし、トレンチ34の側壁部に第2酸化膜層35、窒化シリコン層36及び第3酸化膜層37をサイドウォールとして残し、その他の部分を全て除去する。

【0008】そして、図17に示すように、加熱リン酸によりトレンチ34の底部のコーナー部34aの窒化シリコン層36をエッティング除去する。続いて、図18に示すように、フッ酸により第3酸化膜層37を除去した後、熱酸化法により第4酸化膜層38を、窒化シリコン層36の配置部分を除くトレンチ34の内面及びp型拡散層32上に形成する。

【0009】その後、図19に示すように、加熱リン酸により窒化シリコン層36を除去した後、この部分に熱酸化法によりゲート酸化膜層39を形成する。続いて、図20に示すように、トレンチ34内を、第1及び第2ポリシリコン層40、41により順次埋め戻す。

【0010】しかる後、図21に示すように、p型拡散層32上の第4酸化膜層38をエッティング除去した後、p型拡散層32内に、低抵抗のn⁺型拡散層42を形成

10

20

30

40

50

する。その後、第1及び第2ポリシリコン層40、41上に、熱酸化法により第5酸化膜層43を形成し、この第5酸化膜層43及びn⁺型拡散層42上に、アルミ層44を形成し、縦型MOSFETを完成する。

【0011】かくして、n⁺型半導体基板30上に、順次積層形成されたp型拡散層32及びn⁺型拡散層42に貫通するトレンチ34が設けられ、このトレンチ34におけるp型拡散層32の側面部に、薄いゲート酸化膜層39が形成されるとともに、トレンチ34のコーナー部34aを含むその他の部分に、厚い第4酸化膜層38が形成され、更には、トレンチ34内部に、ポリシリコン層40、41が埋設され、最上層にアルミ層44が堆積形成された縦型MOSFETが得られる。

【0012】以上説明した従来の方法により、トレンチ34の底部コーナー部を除く側面部の絶縁膜層を薄く形成するとともに、トレンチ34のコーナー部を含む底面部の絶縁膜層を厚く形成したので、閾電圧が低くでき、しかも耐圧劣化が防止でき高耐圧化を可能にしていた。

【0013】

【発明が解決しようとする課題】しかし、閾電圧が低く、耐圧が高いトレンチゲート型パワーMOSFETを上述した従来方法により作製しようとすると、半導体材料にシリコンを使用し、トレンチ34の内部に形成する絶縁膜層の厚さを側部では薄く、底部では厚くするために、複数回の酸化工程と耐酸化性膜の形成を含む複雑な作製工程を必要とした。このため、製造コストが高く、製造歩留りが低いという問題点があった。

【0014】そこで、この発明の目的は、トレンチの内部で酸化膜厚さが異なる半導体装置においてその製造が容易な半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】請求項1に記載の発明は、表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素と、前記単結晶炭化珪素に形成され、側部および底部を有するトレンチと、前記トレンチの側部および底部に形成され、かつトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚い熱酸化膜とを備えた半導体装置をその要旨とする。

【0016】請求項2に記載の発明は、第1導電型の低抵抗層と当該低抵抗層上に形成された第1導電型の高抵抗層の二層にて構成され、かつ前記高抵抗層の表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる半導体基板と、前記半導体基板の表面上に形成され、表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる第2導電型の半導体層と、前記半導体層内の所定領域に形成された第1導電型の半導体領域と、前記半導体領域と半導体層を貫通し前記半導体基板に達し、側部および底部を有するトレンチと、前記トレンチの側部および底部に形成さ

れ、かつトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜と、前記トレンチ内における前記ゲート熱酸化膜の内側に形成されたゲート電極層と、少なくとも前記半導体領域表面に形成された第1の電極層と、前記半導体基板の裏面側に形成された第2の電極層とを備えた半導体装置をその要旨とする。

【0017】請求項3に記載の発明は、請求項1に記載の発明における前記単結晶炭化珪素の表面と前記トレンチの側部とは $45^{\circ} \sim 90^{\circ}$ の角度をなす半導体装置をその要旨とする。

【0018】請求項4に記載の発明は、請求項2に記載の発明における前記半導体層の表面と前記トレンチの側部とは $45^{\circ} \sim 90^{\circ}$ の角度をなす半導体装置をその要旨とする。

【0019】請求項5に記載の発明は、請求項1に記載の発明における前記トレンチの底部は前記単結晶炭化珪素の表面に平行である半導体装置をその要旨とする。請求項6に記載の発明は、請求項2に記載の発明における前記トレンチの底部は前記半導体層の表面に平行である半導体装置をその要旨とする。

【0020】請求項7に記載の発明は、請求項1または2に記載の発明における前記トレンチの側部での熱酸化膜の膜厚「1」に対し底部での熱酸化膜の膜厚が「2」以上の比率である半導体装置をその要旨とする。

【0021】請求項8に記載の発明は、請求項1または2に記載の発明における前記トレンチの側部での熱酸化膜の膜厚は $10 \sim 100 \text{ nm}$ である半導体装置をその要旨とする。

【0022】請求項9に記載の発明は、六方晶系の単結晶炭化珪素よりなる第1導電型の低抵抗層の上に、六方晶系の単結晶炭化珪素よりなる第1導電型の高抵抗層を積層して当該高抵抗層の表面の面方位が(0001)カーボン面である半導体基板を形成する第1工程と、前記半導体基板の表面上に、表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる第2導電型の半導体層を形成するとともに、この半導体層内の所定領域に第1導電型の半導体領域を形成する第2工程と、前記半導体領域と半導体層を貫通し前記半導体基板に達し、側部および底部を有するトレンチを形成する第3工程と、前記トレンチの内壁を熱酸化することによりトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜を形成する第4工程と、前記トレンチ内における前記ゲート熱酸化膜の内側にゲート電極層を、前記半導体層表面および半導体領域表面に第1の電極層を、前記半導体基板の裏面側に第2の電極層を、それぞれ形成する第5工程とを備えた半導体装置の製造方法をその要旨とする。

【0023】

【作用】請求項1, 7, 8に記載の発明によれば、酸化

速度が速い六方晶系単結晶炭化珪素の(0001)カーボン面をトレンチの底部とし、この(0001)カーボン面に対して酸化速度が遅い面をトレンチの側部としたので一度の熱酸化工程によりトレンチの側部と底部で厚さが異なる熱酸化膜を形成できる。

【0024】請求項2に記載の発明によれば、トレンチ側部での第2導電型の半導体層の表面がチャネルとなって、ソース・ドレイン間に電流が流れる。この際、ゲート絶縁膜としてのゲート熱酸化膜はトレンチの側部での膜厚に比べトレンチの底部での膜厚の方が厚くなっているので、閾電圧が低く、かつゲート・ドレイン間の耐圧が高くなる。

【0025】又、酸化速度が速い六方晶系単結晶炭化珪素の(0001)カーボン面をトレンチの底部とし、この(0001)カーボン面に対して酸化速度が遅い面をトレンチの側部としたので一度の熱酸化工程によりトレンチの側部と底部で厚さが異なるゲート熱酸化膜を形成できる。

【0026】請求項3に記載の発明によれば、請求項1に記載の発明の作用に加え、単結晶炭化珪素の表面とトレンチの側部とは $45^{\circ} \sim 90^{\circ}$ の角度をなしているので、トレンチの側部と底部で厚さが大きく異なる熱酸化膜を形成できる。

【0027】請求項4に記載の発明によれば、請求項2に記載の発明の作用に加え、半導体層の表面とトレンチの側部とは $45^{\circ} \sim 90^{\circ}$ の角度をなしているので、トレンチの側部と底部で厚さが大きく異なる熱酸化膜を形成できる。

【0028】請求項5に記載の発明によれば、請求項1に記載の発明の作用に加え、トレンチの底部は単結晶炭化珪素の表面に平行であるので、トレンチの側部と底部で厚さが大きく異なる熱酸化膜を形成できる。

【0029】請求項6に記載の発明によれば、請求項2に記載の発明の作用に加え、トレンチの底部は半導体層の表面に平行であるので、トレンチの側部と底部で厚さが大きく異なる熱酸化膜を形成できる。

【0030】請求項9に記載の発明によれば、第1工程により、六方晶系の単結晶炭化珪素よりなる第1導電型の低抵抗層の上に、六方晶系の単結晶炭化珪素よりなる第1導電型の高抵抗層を積層して当該高抵抗層の表面の面方位が(0001)カーボン面である半導体基板が形成される。そして、第2工程により、半導体基板の表面上に、表面の面方位が(0001)カーボン面である六方晶系の単結晶炭化珪素よりなる第2導電型の半導体層が形成されるとともに、この半導体層内の所定領域に第1導電型の半導体領域が形成される。さらに、第3工程により、半導体領域と半導体層を貫通し半導体基板に達し、側部および底部を有するトレンチが形成される。引き続き、第4工程により、トレンチの内壁を熱酸化することによりトレンチの側部での膜厚に比べトレンチの底

部での膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜が形成される。そして、第5工程により、トレンチ内におけるゲート熱酸化膜の内側にゲート電極層が、半導体層表面および半導体領域表面に第1の電極層が、半導体基板の裏面側に第2の電極層が、それぞれ形成される。

【0031】その結果、請求項2に記載の半導体装置が製造される。

【0032】

【実施例】以下、この発明を具体化した一実施例を図面に従って説明する。図1に本実施例のトレンチゲート型パワーMOSFET(縦型パワーMOSFET)の断面図を示す。

【0033】低抵抗層としてのn⁺型単結晶SiC基板1は、六方晶系SiC(0001)カーボン面を表面とし、かつ低抵抗でキャリア密度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。このn⁺型単結晶SiC基板1上に、高抵抗層としてのn型エピタキシャル層2と半導体層としてのp型エピタキシャル層3が順次積層されている。n型エピタキシャル層2は、キャリア密度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度で厚さが $10 \mu\text{m}$ 程度となっている。又、p型エピタキシャル層3は、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さが $2 \mu\text{m}$ 程度となっており、該p型エピタキシャル層3の表面4が素子表面となっている。

【0034】本実施例では、n⁺型単結晶SiC基板1とn型エピタキシャル層2とから半導体基板14が構成されている。p型エピタキシャル層3の表面4における所定領域には、半導体領域としてのn⁺ソース領域5が形成され、n⁺ソース領域5はキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で接合深さが $0.5 \mu\text{m}$ 程度となっている。又、p型エピタキシャル層3の表面4の所定位置にトレンチ6が形成されている。このトレンチ6は、n⁺ソース領域5とp型エピタキシャル層3を貫通しn型エピタキシャル層2に達し、p型エピタキシャル層3の表面に垂直な側面(側部)6aおよびp型エピタキシャル層3の表面に平行な底面(底部)6bを有する。

【0035】トレンチ6の内部には、ゲート絶縁膜としてのゲート熱酸化膜7を介してゲート電極層8が配置されている。ここで、ゲート熱酸化膜7は 1100°C で5時間程度の一度の熱酸化工程により形成され、トレンチ6の側面6aに位置する厚さが 50 nm 程度の薄いゲート熱酸化膜7aと、トレンチ6の底面6bに位置する厚さが 300 nm 程度の厚いゲート熱酸化膜7bからなる。さらに、ゲート熱酸化膜7はn⁺ソース領域5上にも形成され、この領域におけるゲート熱酸化膜7cも厚さが 300 nm 程度に厚くなっている。

【0036】又、ゲート電極層8は、ゲート熱酸化膜7に接しリンをドープした第1のポリシリコン層8aと第2のポリシリコン層8bからなる。ゲート電極層8上には、厚さが $1 \mu\text{m}$ 程度の層間絶縁膜9が配置されてい

る。さらに、層間絶縁膜9上を含めたn⁺ソース領域5の表面およびp型エピタキシャル層3の表面には、第1の電極層としてのソース電極層10が配置され、このソース電極層10はn⁺ソース領域5とp型エピタキシャル層3に共に接している。n⁺型単結晶SiC基板1の裏面には、同基板1に接する第2の電極層としてのドレイン電極層11が設けられている。

【0037】このトレンチゲート型パワーMOSFETによれば、トレンチ6の側面6aのゲート熱酸化膜7aは薄いために閾電圧を低くでき(例えば2V)、しかもトレンチ6の底面6bのゲート熱酸化膜7bは厚いためにゲート・ドレイン間の耐圧を高く(例えば500V以上)できる。

【0038】このトレンチゲート型パワーMOSFETの製造工程を、図2~6を用いて、詳細に説明する。まず、図2に示すように、表面の面方位が(0001)カーボン面である低抵抗のn⁺型単結晶SiC基板1を用意する。そして、そのn⁺型単結晶SiC基板1の表面に、キャリア密度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度で厚さが $10 \mu\text{m}$ 程度のn型エピタキシャル層2と、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さが $2 \mu\text{m}$ 程度のp型エピタキシャル層3を順次積層する。

【0039】このようにして、n⁺型単結晶SiC基板1とn型エピタキシャル層2とからなる半導体基板14を形成する。続いて、図3に示すように、p型エピタキシャル層3に対しマスク材12を用いてイオン注入法により表面のキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で接合深さが $0.5 \mu\text{m}$ 程度のn⁺ソース領域5を形成する。

【0040】次に、図4に示すように、マスク材13を用いて反応性イオンエッティング(RIE)法により、n⁺ソース領域5とp型エピタキシャル層3を貫通しn型エピタキシャル層2に達するトレンチ6を形成する。このトレンチ6は、p型エピタキシャル層3の表面に垂直な側面(側部)6aおよびp型エピタキシャル層3の表面に平行な底面(底部)6bを有する。

【0041】続いて、図5に示すように、マスク材13を除去した後、熱酸化法によりゲート熱酸化膜7を 1100°C で5時間程度の一度の熱酸化工程により形成する。この熱酸化によりトレンチ6の側面6aに位置する厚さが 50 nm 程度の薄いゲート熱酸化膜7aと、トレンチ6の底面6bに位置する厚さが 300 nm 程度の厚いゲート熱酸化膜7bが形成される。さらに、n⁺ソース領域5上には厚さが 300 nm 程度の厚いゲート熱酸化膜7cが形成される。

【0042】続いて、図6に示すように、トレンチ6内を、第1及び第2ポリシリコン層8a、8bにより順次埋め戻す。しかる後、図1に示すように、第1及び第2ポリシリコン層8a、8b上を含めたゲート熱酸化膜7上に、CVD法により層間絶縁層9を形成し、ソースコンタクト予定位置のn⁺ソース領域5とp型エピタキ

ヤル層3の表面上にあるゲート熱酸化膜7と層間絶縁層9を除去する。その後、n⁺ソース領域5とp型エピタキシャル層3及び層間絶縁層9上にソース電極層10を形成するとともに、n⁺型単結晶SiC基板1の裏面にドレイン電極層11を形成し、トレンチゲート型SiCパワーMOSFETを完成する。

【0043】このように本実施例のトレンチゲート型パワーMOSFETでは、n⁺型単結晶SiC基板1（第1導電型の低抵抗層）とn⁺型単結晶SiC基板1上に形成されたn型エピタキシャル層2（第1導電型の高抵抗層）の二層にて構成され、かつn型エピタキシャル層2の表面の面方位が（0001）カーボン面である六方晶系の単結晶炭化珪素よりなる半導体基板14と、半導体基板14の表面上に形成され、表面の面方位が（0001）カーボン面である六方晶系の単結晶炭化珪素よりなるp型エピタキシャル層3（第2導電型の半導体層）と、p型エピタキシャル層3内の所定領域に形成されたn⁺ソース領域5（第1導電型の半導体領域）と、n⁺ソース領域5とp型エピタキシャル層3を貫通し半導体基板14に達し、p型エピタキシャル層3の表面に垂直な側面（側部）6aおよびp型エピタキシャル層3の表面に平行な底面（底部）6bを有するトレンチ6と、トレンチ6の側面6aおよび底面6bに形成され、かつトレンチ6の側面6aでの膜厚に比べトレンチ6の底面6bでの膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜7と、トレンチ6内におけるゲート熱酸化膜7の内側に形成されたゲート電極層8と、p型エピタキシャル層3表面およびn⁺ソース領域5表面に形成されたソース電極層10（第1の電極層）と、半導体基板14の裏面側に形成されたドレイン電極層11（第2の電極層）とを備えている。

【0044】よって、トレンチ6の側面6aでのp型エピタキシャル層3の表面がチャネルとなって、ソース・ドレイン間に電流が流れる。この際、ゲート絶縁膜としてのゲート熱酸化膜7はトレンチ6の側面6aでの膜厚に比べトレンチ6の底面6bでの膜厚の方が厚くなっているので、閾電圧が低く、かつゲート・ドレイン間の耐圧が高くなる。つまり、トレンチ6の側面6aのゲート熱酸化膜7aは薄いために閾電圧を低くでき（例えば2V）、しかもトレンチ6の底面6bのゲート熱酸化膜7bは厚いためにゲート・ドレイン間の耐圧を高く（例えば500V以上）できるとともに寄生容量が低減でき高速動作が可能になる。又、素子表面の酸化膜7cが厚いため、ソース・ゲート間の耐圧が向上する。さらに、トレンチ構造を採用しているのでオン抵抗を低くできる。又、酸化速度が速い六方晶系単結晶炭化珪素の（0001）カーボン面をトレンチ6の底面6bとし、この（0001）カーボン面に垂直で酸化速度が遅い面をトレンチ6の側面6aとしたので一度の熱酸化工程によりトレンチ6の側面6aと底面6bで厚さが大きく異なる熱酸

化膜7を形成できる。即ち、ゲート酸化膜の膜厚分布を一度の熱酸化工程により達成することができる。その結果、製造コストを低くできるとともに製造歩留りを向上させることができる。

【0045】又、六方晶系の単結晶炭化珪素よりなるn⁺型単結晶SiC基板1（第1導電型の低抵抗層）の上に、六方晶系の単結晶炭化珪素よりなるn型エピタキシャル層2（第1導電型の高抵抗層）を積層してn型エピタキシャル層2の表面の面方位が（0001）カーボン面である半導体基板14を形成し（第1工程）、半導体基板14の表面上に、表面の面方位が（0001）カーボン面である六方晶系の単結晶炭化珪素よりなるp型エピタキシャル層3（第2導電型の半導体層）を形成するとともに、このp型エピタキシャル層3内の所定領域にn⁺ソース領域5（第1導電型の半導体領域）を形成し（第2工程）、n⁺ソース領域5とp型エピタキシャル層3を貫通し半導体基板14に達し、かつp型エピタキシャル層3の表面に垂直な側面6aおよびp型エピタキシャル層3の表面に平行な底面6bを有するトレンチ6を形成し（第3工程）、トレンチ6の内壁を熱酸化することによりトレンチ6の側面6aでの膜厚に比べトレンチ6の底面6bでの膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜7を形成し（第4工程）、トレンチ6内におけるゲート熱酸化膜7の内側にゲート電極層8を、p型エピタキシャル層3表面およびn⁺ソース領域5表面にソース電極層10（第1の電極層）を、半導体基板14の裏面側にドレイン電極層11（第2の電極層）を、それぞれ形成した（第5工程）。

【0046】その結果、上述したトレンチゲート型パワーMOSFETが製造される。尚、この発明は上記実施例に限定されるものではなく、例えば、nチャネル型のみについて説明したが、半導体型のnとpを入れ換えたpチャネル型においても同じ効果が得られることは言うまでもない。また、トレンチにおける熱酸化膜の膜厚も、実施例中で用いた膜厚（側面を50nm程度、底面を300nm程度）に限定されるものではなく、トレンチ側部の膜厚よりもトレンチ底部の膜厚の方が厚い構成であればどのような構成でも良い。

【0047】また、トレンチ6の側面（側部）6aは（0001）カターボン面に垂直である必要はなく、図7や図8のように、斜状となっていてもよい。又、トレンチ6の底面（底部）6bも（0001）カーボン面に平行である必要はなく、例えば、図8や図9のように、丸みを持った底部としてもよい。

【0048】図10には、トレンチ6の側面（側部）6aと（0001）カーボン面とでなす角度θを変えた場合における酸化膜の膜厚T_{ox}を測定した結果の一例を示す。つまり、図11で示したように、（0001）カーボン面とでなす角度θを有する側面での酸化膜の厚さを調べたものである。この図10により、側面の角度θは

45°～90°とすることが望ましく、さらに詳しくは、側面の角度θを60°～90°とすることがさらに好ましいことが分かる。即ち、(0001)カーボン面には約310nmの膜厚の酸化膜が形成されるのに対し、角度θ=45～90°とすることにより側面の酸化膜の膜厚を100nm以下に薄くでき、(0001)カーボン面での膜厚と側面での膜厚の差を大きくとることができ。さらに、角度θ=60～90°とすることにより側面の酸化膜の膜厚を70nm程度に薄くでき、(0001)カーボン面での膜厚と側面での膜厚の差を更に大きくとができる。

【0049】さらに、トレンチ6の側面6aと(0001)カーボン面とでなす角度θを調整することにより、トレンチ6の側面6aでの熱酸化膜の膜厚「1」に対して底面6bでの熱酸化膜の膜厚が「2」以上となる比率にするようにしてもよい((底面6bでの熱酸化膜の膜厚/側面6aでの熱酸化膜の膜厚)≥2)。

【0050】又、トレンチ6の側面(側部)6aでの熱酸化膜の膜厚は10～100nmとするのが好ましい。又、ソース電極層10は、n⁺ソース領域5とp型エピタキシャル層3の両方に接する必要はなく、少なくともn⁺ソース領域5上に形成されればよい。

【0051】

【発明の効果】以上詳述したように請求項1、7、8に記載の発明によれば、製造が容易で、トレンチの内部で酸化膜厚さが異なる半導体装置を提供できる。

【0052】請求項2、9に記載の発明によれば、請求項1に記載の発明の効果に加え、閾電圧が低く、耐圧が高い半導体装置及びその製造方法を提供できる。請求項3、5に記載の発明によれば、請求項1に記載の発明の効果に加え、トレンチの側部と底部で厚さが大きく異なる熱酸化膜を形成することができる。

【0053】請求項4、6に記載の発明によれば、請求項2に記載の発明の効果に加え、トレンチの側部と底部で厚さが大きく異なる熱酸化膜を形成することができる。

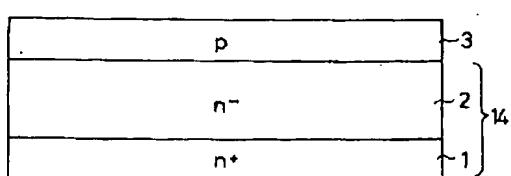
【図面の簡単な説明】

【図1】実施例の半導体装置の断面図。

【図2】実施例の半導体装置の製造工程を説明するための断面図。

【図3】実施例の半導体装置の製造工程を説明するため*

【図2】



*の断面図。

【図4】実施例の半導体装置の製造工程を説明するための断面図。

【図5】実施例の半導体装置の製造工程を説明するための断面図。

【図6】実施例の半導体装置の製造工程を説明するための断面図。

【図7】応用例の半導体装置の断面図。

【図8】応用例の半導体装置の断面図。

【図9】応用例の半導体装置の断面図。

【図10】側面形成角度に対する酸化膜の膜厚を測定した結果を示すグラフ。

【図11】測定条件を説明するための説明図。

【図12】従来の半導体装置の断面図。

【図13】従来の半導体装置の製造工程を説明するための断面図。

【図14】従来の半導体装置の製造工程を説明するための断面図。

【図15】従来の半導体装置の製造工程を説明するための断面図。

20

【図16】従来の半導体装置の製造工程を説明するための断面図。

【図17】従来の半導体装置の製造工程を説明するための断面図。

【図18】従来の半導体装置の製造工程を説明するための断面図。

【図19】従来の半導体装置の製造工程を説明するための断面図。

30

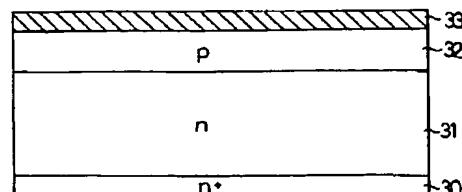
【図20】従来の半導体装置の製造工程を説明するための断面図。

【図21】従来の半導体装置の製造工程を説明するための断面図。

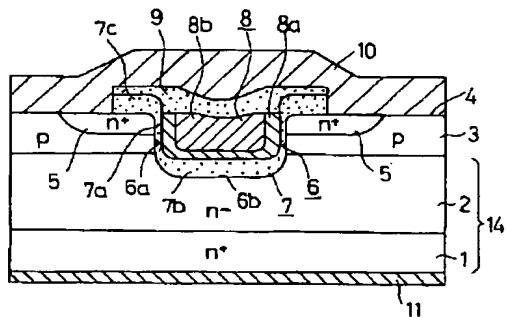
【符号の説明】

1…低抵抗層としてのn⁺型単結晶SiC基板、2…高抵抗層としてのn型エピタキシャル層、3…半導体層としてのp型エピタキシャル層、5…半導体領域としてのn⁺ソース領域、6…トレンチ、6a…側面(側部)、6b…底面(底部)、7…ゲート熱酸化膜、8…ゲート電極層、10…第1の電極層としてのソース電極層、11…第2の電極層としてのドレイン電極層、14…半導体基板

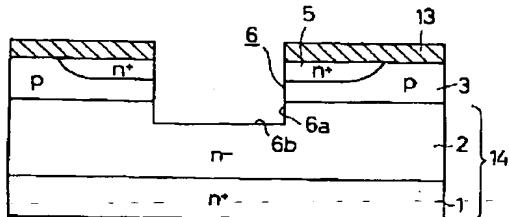
【図13】



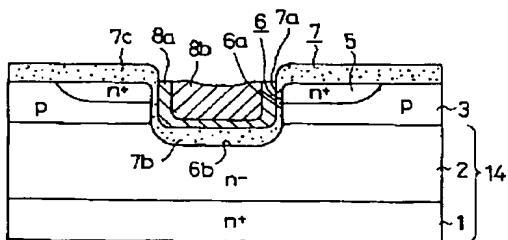
【図1】



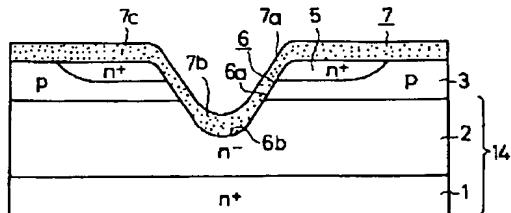
[図4]



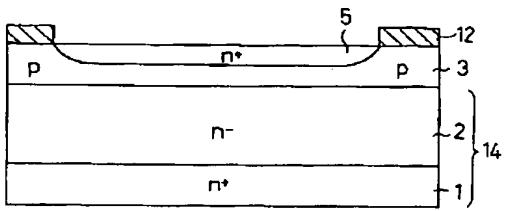
(圖 6)



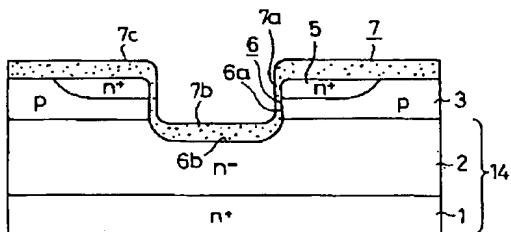
[圖 8]



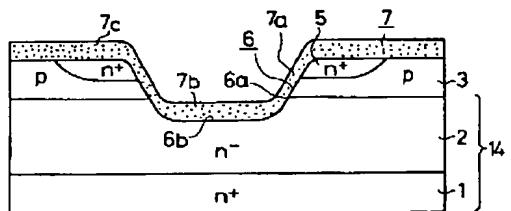
[図3]



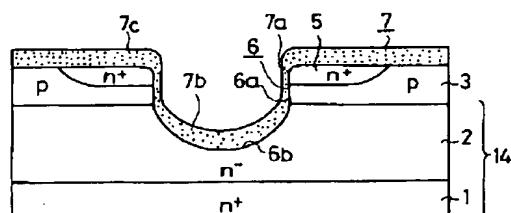
[図5]



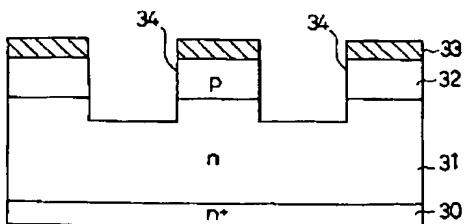
[図7]



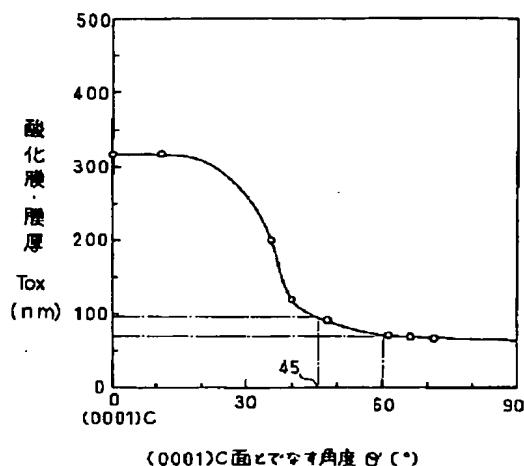
〔圖九〕



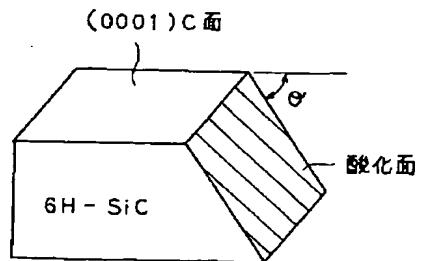
[図 14]



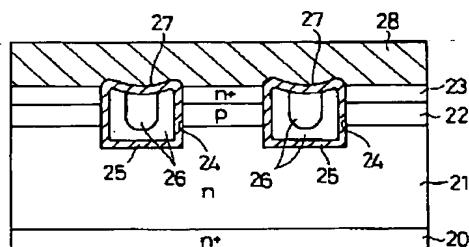
【図10】



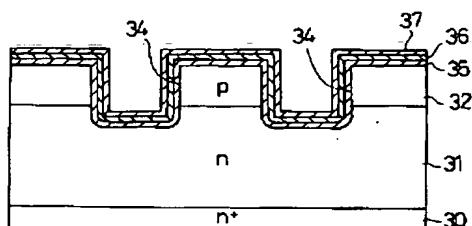
[図11]



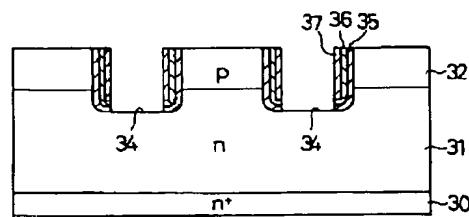
[図12]



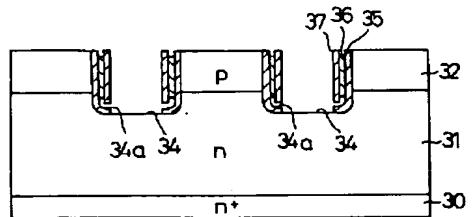
[図15]



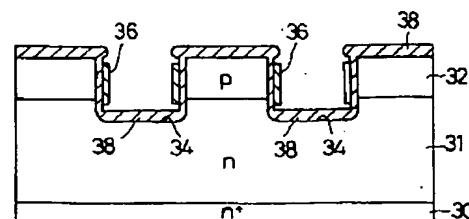
【図16】



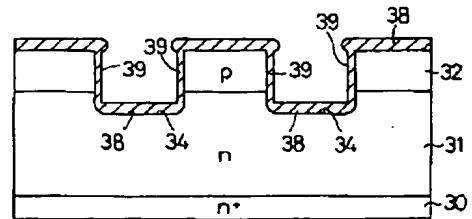
[図17]



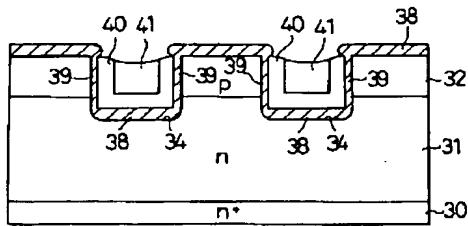
〔图18〕



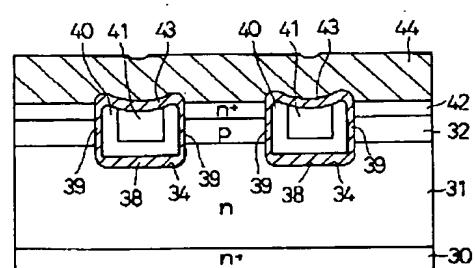
〔図19〕



【図20】



【図21】



フロントページの続き

(72)発明者 戸倉 規仁
愛知県刈谷市昭和町1丁目1番地 日本電
装 株式会社内
(72)発明者 宮嶋 健
愛知県刈谷市昭和町1丁目1番地 日本電
装 株式会社内

(72)発明者 夫馬 弘雄
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内
(72)発明者 加納 浩之
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内